

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
)
HOSOKAWA et al.)
)
Application Number: To be Assigned)
)
Filed: Concurrently Herewith)
)
For: SWITCHING POWER SUPPLY DEVICE AND THE)
SEMICONDUCTOR INTEGRATED CIRCUIT FOR)
POWER SUPPLY CONTROL)
)
ATTORNEY DOCKET NO. HITA.0468)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

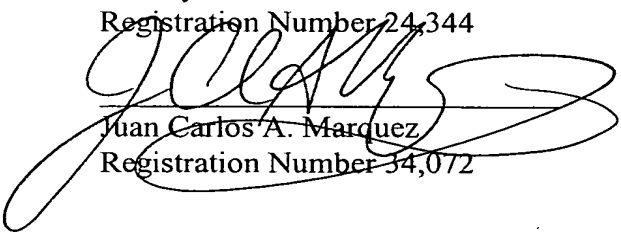
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of January 9, 2003, the filing date of the corresponding Japanese patent application 2003-002817.

A certified copy of Japanese patent application 2003-002817, is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344


Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
December 5, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 9 日
Date of Application:

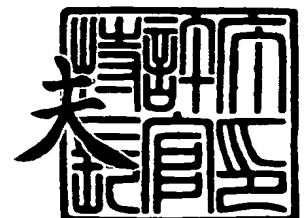
出 願 番 号 特 願 2 0 0 3 - 0 0 2 8 1 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 0 2 8 1 7]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 3 年 1 0 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 9 7 3

【書類名】 特許願

【整理番号】 H02017121

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/00

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 細川 恭一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 恩田 謙一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 上原 陽一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 工藤 良太郎

【発明者】


【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

【氏名】 吉田 信一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所



【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング電源装置および電源制御用半導体集積回路

【特許請求の範囲】

【請求項 1】 電圧変換用トランスの 1 次側コイルに流れる電流をスイッチングして 1 次側コイルを交流駆動し、前記トランスの 2 次側コイルに流れる電流を整流して直流電圧を出力するスイッチング電源装置のスイッチング制御を行なう電源制御用半導体集積回路であって、

前記 1 次側コイルの入力電圧または 2 次側コイルの負荷電流もしくは前記入力電圧および負荷電流に応じて 2 次側の同期整流用トランジスタのオフ・タイミングを動的に制御する信号を生成し出力することを特徴とする電源制御用半導体集積回路。

【請求項 2】 前記 1 次側コイルに流れる電流をスイッチングするスイッチング素子のオン・タイミングを、前記 1 次側コイルの入力電圧に応じて動的に制御する信号を生成し出力することを特徴とする請求項 1 に記載の電源制御用半導体集積回路。

【請求項 3】 前記 1 次側コイルに流れる電流をスイッチングするスイッチング素子のオン・タイミングを、前記 2 次側の負荷電流に応じて動的に制御する信号を生成し出力することを特徴とする請求項 1 に記載の電源制御用半導体集積回路。

【請求項 4】 前記 1 次側コイルに流れる電流をスイッチングするスイッチング素子のオン・タイミングを、前記 1 次側コイルの入力電圧および 2 次側の負荷電流に応じて動的に制御する信号を生成し出力することを特徴とする請求項 1 に記載の電源制御用半導体集積回路。

【請求項 5】 前記 2 次側コイルの一方の端子と基準電位点との間に接続され 1 次側コイルに流れる電流をスイッチングするスイッチング動作と同期してオン、オフ制御される第 1 同期整流用トランジスタおよび前記トランスの 2 次側コイルの他方の端子と基準電位点との間に接続され前記 1 次側のスイッチング動作と同期してオン、オフ制御される第 2 同期整流用トランジスタをそれぞれオン、オフさせる制御信号を生成し出力することを特徴とする請求項 1 ～ 4 のいずれか

に記載の電源制御用半導体集積回路。

【請求項 6】 前記 1 次側コイルに流れる電流をスイッチングするために使われる制御信号を生成する第 1 制御信号生成回路と、該第 1 制御信号生成回路により生成された信号に基づいて 2 次側の前記第 1 同期整流用トランジスタおよび第 2 同期整流用トランジスタの制御信号を生成する第 2 制御信号生成回路と、前記第 1 制御信号生成回路および第 2 制御信号生成回路で生成された制御信号に任意の遅延を付与可能な可変遅延回路と、該可変遅延回路で付与する遅延量を指定する設定情報を入力するための外部端子と、該外部端子からの設定情報に基づいて前記可変遅延回路における遅延量を制御する信号を生成する遅延量制御回路と、該遅延量制御回路による遅延量制御を無効化する無効化手段を備え、該無効化手段は前記外部端子の状態に応じて前記遅延量制御回路の動作を無効化することを特徴とする請求項 5 に記載の電源制御用半導体集積回路。

【請求項 7】 前記負荷電流が所定値以下になったか否かを検出する検出手段を備え、負荷電流が所定値以下になった場合に前記可変遅延回路を切り替えて前記第 1 同期整流用トランジスタおよび第 2 同期整流用トランジスタの制御信号のオフ・タイミングに遅延を付与しないように構成されていることを特徴とする請求項 6 に記載の電源制御用半導体集積回路。

【請求項 8】 前記 1 次側の入力電圧のレベルを検出し入力電圧が所定レベルになった場合に内部回路に対する電源の供給を遮断する電圧監視手段を備え、該電圧監視手段が監視する電圧の入力端子と、前記 1 次側コイルに流れる電流をスイッチングするスイッチング素子のオン・タイミングを制御するために監視する前記 1 次側コイルの電圧の入力端子とを兼用していることを特徴とする請求項 1～7 のいずれかに記載の電源制御用半導体集積回路。

【請求項 9】 前記第 1 制御信号生成回路に入力される負荷電流の情報と前記遅延量制御回路に入力される負荷電流の情報が、同一の外部端子から入力されるように構成されていることを特徴とする請求項 6 に記載の電源制御用半導体集積回路。

【請求項 10】 電圧変換用トランスの 1 次側コイルに流れる電流をスイッチングして 1 次側コイルを交流駆動し、前記トランスの 2 次側コイルに流れる電

流を整流して直流電圧を出力するスイッチング電源装置のスイッチング制御を行なう電源制御用半導体集積回路であって、

前記 1 次側コイルに流れる電流をスイッチングする回路のスイッチ素子の両端子間電圧を検出してオン・タイミングを制御する信号を生成する回路の検出判定レベルが外部から任意に設定可能に構成されていることを特徴とする電源制御用半導体集積回路。

【請求項 11】 請求項 1～10 のいずれかに記載の電源制御用半導体集積回路と、

電圧変換用トランスと、

前記電圧変換用トランスの 1 次側コイルに流れる電流をスイッチングして 1 次側コイルを交流駆動するスイッチング回路と、

前記電圧変換用トランスの 2 次側コイルの一方の端子と基準電位端子との間に接続され前記スイッチング回路のスイッチング動作と同期してオン、オフ制御される同期整流用トランジスタを含み 2 次側コイルに流れる電流を整流して直流電圧を出力する整流回路と、

該整流回路で整流された電圧を平滑する容量素子と、
を備え、

前記 1 次側コイルへの入力電圧が抵抗で分割されて前記電源制御用半導体集積回路に供給されていることを特徴とするスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電圧変換用トランスを備えたスイッチング電源装置の損失低減技術に関し、特にトランスの 2 次側に同期整流回路を備えた DC-DC コンバータ（直流-直流変換型電源装置）に利用して有効な技術に関する。

【0002】

【従来の技術】

従来、DC-DC コンバータのひとつに一次側の回路にフルブリッジ型のスイッチング回路を用い、2 次側の整流回路に同期整流回路を使用した図 17 に示す

” ような DC-DC コンバータが知られている。

図 17 の DC-DC コンバータは、スイッチ SA～SD からなるフルブリッジ型のスイッチング回路でトランス TS1 の 1 次側コイルを交流駆動し、2 次側コイルに誘起される交流電圧を同期整流用スイッチ SE, SF で整流しチョークコイル L1 と L2 に交互にエネルギーを蓄積することで、1 次側コイルと 2 次側コイルの巻線比に応じた所望の直流電圧を発生させるようにしたスイッチング電源回路である。スイッチ SA～SF は、例えば MOSFET で構成される。スイッチ SA～SD と並列に接続されているダイオードおよび容量は、各 MOSFET のソース・ドレイン間のボディダイオードと寄生容量を示したものである。

【0003】

本来ダイオードを用いればよい 2 次側の整流素子として MOSFET からなるスイッチ SE, SF を使用しているのは、ダイオードの順方向電圧による電力損失を減らすことができるためである。ちなみに、MOSFET のオン抵抗によるソース・ドレイン間電圧降下はダイオードの順方向電圧よりも小さくすることが可能である。

【0004】

【発明が解決しようとする課題】

DC-DC コンバータは小型化に対する要求が高い。DC-DC コンバータを小型化するには、コイルやコンデンサなどの部品の小型化が有効であるが、コイルやコンデンサなどを小型化するにはスイッチング周波数を上げなくてはならない。ところが、DC-DC コンバータのスイッチング周波数を上げると、スイッチング損失が多くなり発熱量が増加するため、放熱板などが必要になり結局小型化を達成することができなくなるという課題がある。従って、DC-DC コンバータの小型化にとっては、スイッチング損失を減らしてスイッチング周波数を高くできるようにすることが重要である。そこで、本発明者等は、図 17 の DC-DC コンバータにおける電力損失について詳細に検討した。

【0005】

図 18 は、1 次側コイルを交流駆動するスイッチ SA～SD をオン、オフ制御する信号 OUT-A～OUT-D と、同期整流用スイッチ SE, SF を制御する信号 OUT-E,

OUT-Fのタイミングを示す。図17のようなDC-DCコンバータにおいては、図18に示すように、1次側コイルに電流を流すときには同期整流用スイッチSEまたはSFをオフさせないと、2次側コイルが短絡状態となって1次側コイルから2次側コイルへ電力が伝達されないのみならずスイッチSA, SD, SE, SFまたはスイッチSB, SC, SE, SFに過電流が流れて素子が破壊されてしまうおそれがある。

【0006】

そこで、1次側コイルに矢印Aの方向の電流を流すときには同期整流用スイッチSEを、また1次側コイルに矢印Aと逆向きに電流を流すときには同期整流用スイッチSFをオフさせて、2次側コイルへ電力を伝達し同時に整流を行なう制御がなされる。スイッチSE, SFをオフさせるタイミングは、1次側コイルを駆動するスイッチSA~SDのオン/オフ・タイミングに合わせるため、同期整流用スイッチSE, SFを制御する制御信号OUT-E, OUT-Fは駆動信号OUT-A~OUT-Dに基づいて生成するのが望ましい。

【0007】

しかしながら、2次側の同期整流用スイッチSE, SFを制御する制御信号OUT-E, OUT-Fのタイミングを1次側の駆動信号OUT-A~OUT-Dに基づいて一義的に決定すると、1次側の入力電圧 V_{in} や2次側の出力電流 I_{out} が変化した時にスイッチSE, SFのオフ・タイミングが最適なタイミングからずれて2次側の損失が大きくなることを見出した。

【0008】

また、1次側のスイッチング損失を減らすには、1次側コイルを交流駆動するスイッチSA~SDのオン/オフ・タイミングを、SA~SDのソース・ドレイン間電圧 V_{ds} が0Vになるタイミングでそれぞれ行なうのが望ましい。そこで、SAとSBの接続ノードおよびSCとSDの接続ノードの電位 V_{11} , V_{12} および入力電圧 V_{in} を監視し、SA~SDのソース・ドレイン間電圧 V_{ds} が0Vになるタイミングを検出してオン/オフ制御信号を生成する方式が考えられる。

【0009】

ところが、かかる制御方式にあっては、 $V_{ds} = 0V$ を検出してから実際に $S_A \sim S_D$ がオン／オフされるまでに遅れが生じるため、その遅れによって損失が発生する。さらに、 S_A と S_B の接続ノードおよび S_C と S_D の接続ノードの電位 V_{11} 、 V_{12} および入力電圧 V_{in} を監視する方式にあっては、電圧をモニタする外部端子の数が多くなるという問題がある。

【0010】

この発明の目的は、電圧変換用トランスの 2 次側に同期整流回路を備えたスイッチング電源装置において、2 次側の整流回路における損失を低減しスイッチング周波数を上げて DC-DC コンバータの小型化を可能にする技術を提供することにある。

【0011】

この発明の他の目的は、電圧変換用トランスの 1 次側にフルブリッジ方式のスイッチング回路を備えたスイッチング電源装置において、1 次側のスイッチング損失を低減しスイッチング周波数を上げて DC-DC コンバータの小型化を可能にする技術を提供することにある。

【0012】

この発明のさらに他の目的は、入力電圧や出力電流が変化した場合にも、1 次側のスイッチ素子のオン・タイミングおよび 2 次側の同期整流用トランジスタのオフ・タイミングを最適化して損失を低減することができるスイッチング電源装置およびその制御用半導体集積回路を提供することにある。

【0013】

この発明のさらに他の目的は、外部端子数を増加させることなく、1 次側のスイッチ素子のオン／オフ・タイミングおよび 2 次側の同期整流用トランジスタのオン／オフ・タイミングを最適化して損失を低減することができるスイッチング電源装置およびその制御用半導体集積回路を提供することにある。

【0014】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、本出願の第1の発明は、電圧変換用トランスを有し2次側コイルに流れる電流の経路をスイッチ・トランジスタにより1次側のスイッチング動作に同期して切り替える同期整流制御を行なうDC-DCコンバータのようなスイッチング電源装置において、2次側の負荷に流れる電流もしくは該負荷電流に連動して変化する1次側の電流や1次側の入力電圧を検出して2次側の同期整流用トランジスタのオフ・タイミングを動的に制御するように構成したものである。

上記した手段によれば、同期整流用トランジスタが2次側の負荷電流や入力電圧の変化に応じて最適なタイミングでオフされるようになるため、2次側の損失を減少させることができる。

【0016】

また、本出願の第2の発明は、電圧変換用トランスを有しフルブリッジ型のスイッチング回路で1次側コイルを交流駆動して2次側コイルに電力を伝達するスイッチング電源装置において、1次側の入力電圧と2次側の負荷に流れる電流を検出して1次側のスイッチング回路のトランジスタのオン・タイミングを動的に制御するように構成したものである。

上記した手段によれば、1次側のスイッチング回路のトランジスタが入力電圧や2次側の負荷電流の変化に応じてフィード・フォワードでオン／オフされるようになるため、1次側のスイッチング損失を減少させることができる。

【0017】

さらに、本出願の他の発明は、電圧変換用トランスを有しフルブリッジ型のスイッチング回路で1次側コイルを交流駆動して2次側コイルに電力を伝達するスイッチング電源装置において、1次側の入力電圧と1次側コイルの端子電圧を検出して1次側のスイッチング回路のトランジスタのオン／オフ・タイミングを制御する場合に、検出電圧と参照電圧とを比較するコンパレータの参照電圧を高め設定するように構成したものである。

上記した手段によれば、1次側のスイッチング回路の動作に遅れがあっても、

該スイッチング回路のトランジスタのソース・ドレイン間電圧が0 Vになる前にオン／オフ制御信号が生成され、ソース・ドレイン間電圧が0 Vになるのと同時にスイッチング回路のトランジスタがオン／オフされるようになるため、1次側のスイッチング損失を減少させることができる。

【0018】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明を適用したDC-DCコンバータの第1の実施例を示す。図において、TS1は電圧変換用のトランス、10はこのトランスTS1の1次側コイルを交流駆動するスイッチング回路、20はトランスTS1の2次側コイルに誘起される交流電圧を整流して直流電圧に変換する全波整流回路、IC30は上記スイッチング回路10を構成するスイッチMOSFET M1～M4および整流回路20を構成する同期整流用MOSFET M5, M6を駆動制御するIC化された制御回路（以下、電源制御用ICと称する）、50は48 Vの入力直流電圧 V_{in} を受けて上記電源制御用IC30に必要な12 Vのような直流電源電圧 V_{cc} を生成して供給するスイッチング・レギュレータ等の補助電源回路である。

【0019】

また、CBは整流回路20で整流された電圧を平滑する平滑容量、R11, R12は入力電圧 V_{in} を分圧して電源制御用IC30に供給する分割抵抗、RCSは1次側コイルのスイッチング回路10に流れる電流を電圧に変換する電流センス抵抗、RLは負荷となる回路やICを等価抵抗として表わしたものである。

【0020】

上記スイッチング回路10は、48 Vのような直流電圧 V_{in} が印加される電圧入力端子VINと1次側基準電位（接地電位）GNDとの間に直列に接続されたNチャネルMOSFET M1, M2およびM3, M4と、スイッチMOSFET M1～M4のうち基準電位側のMOSFET M2, M4の共通ソース端子と基準電位GNDとの間に接続された電流センス抵抗RCSとから構成されている。電流センス抵抗RCSの代わりにカレント・トランスを用いて1次側の電流に比例した検出電圧を電源制御用IC30に供給するようにしても良い。

【0021】

電源制御用 IC30 は、センス抵抗 RCS により検出された電圧 V_{sns} と出力電圧 V_{out} とからスイッチ MOSFET M1～M4 の制御信号 OUT-A～OUT-D のタイミングを PWM (パルス幅変調) 方式で制御する PWM 制御回路 31、該 PWM 制御回路 31 からの信号に基づいて同期整流用 MOSFET M5, M6 をオン／オフするタイミングを制御する同期整流制御回路 32、上記 PWM 制御回路 31 と同期整流制御回路 32 から出力される信号に適当な遅延を与えて出力する可変遅延回路 33、分割抵抗 R11, R12 で分割した入力電圧 V_{in} に比例した電圧 $V_{in'}$ とセンス抵抗 RCS により検出された電圧 V_{sns} と外部からの設定値 DLY1～DLY3 とに基づいて上記可変遅延回路 33 における遅延量を設定する遅延量制御回路 34などを備えている。

【0022】

図2には、電源制御用 IC30 のより具体的な構成例が示されている。

PWM 制御回路 31 は、出力電圧 V_{out} と参照電圧 V_{ref} とを比較して電位差に応じた電圧 V_{err} を出力する誤差アンプ 311 と、該誤差アンプ 311 の出力電圧 V_{err} とセンス抵抗 RCS により検出された電圧 V_{sns} と比較していずれが大きいか判定するコンパレータ 312 と、1 次側のスイッチング回路 10 のスイッチング周期を与える発振器を含むクロックジェネレータ 313 と、該クロックジェネレータ 313 で生成されたクロック信号をリセット信号とし上記コンパレータ 312 の出力信号をセット信号とする RS フリップフロップ 314 と、上記クロック信号を 1/2 に分周する D 型フリップフロップ 315 と、該フリップフロップ 315 で分周された信号 /Q (本明細書では、信号 Q に対して位相反転した信号を信号 /Q と表す。以下、同様) と上記フリップフロップ 314 の出力 Q との排他的論理和をとる論理ゲート 316 などから構成されており、図 3 (3)～(6) に示すような互いに位相が ϕ だけずれた相補信号 PA, PB, PC, PD を生成して出力する。

【0023】

これにより、PWM 制御回路 31 では、出力電圧 V_{out} が低くなると V_{err} が上がり ϕ が大きくなって 1 次側コイルに電流が流される期間が長くなり、逆に

出力電圧 V_{out} が高くなると V_{err} が下がり ϕ が小さくなって 1 次側コイルに電流が流される期間が短くなって、負荷の変動に応じて出力電流 I_{out} が変化しても出力電圧 V_{out} を一定に保つように制御することができる。

【0024】

同期整流制御回路 32 は、上記 PWM 制御回路 31 から出力される信号 PA, PD を入力とする NAND ゲート 322 と、信号 PB, PC を入力とする NAND ゲート 321 とからなる。これにより、NAND ゲート 322 からは 1 次側のスイッチ MOSFET M1 と M4 がオンされるときには 2 次側の同期整流用 MOSFET M5 をオフさせるような信号 PE が、また NAND ゲート 321 からは 1 次側のスイッチ MOSFET M2 と M3 がオンされるときには 2 次側の同期整流用 MOSFET M6 をオフさせるような信号 PF が生成される。これにより、1 次側コイルに電流が流されるときに 2 次側では同期整流用 MOSFET M5 または M6 のいずれかが必ずオフ状態にされ、2 次側コイルが短絡状態になるのが回避される。

【0025】

可変遅延回路 33 は、上記 PWM 制御回路 31 から出力される信号 PA ~ PD をそれぞれ遅延する個別遅延回路 331 ~ 334 と、NAND ゲート 321 と 322 の出力信号 PE, PF をそれぞれ遅延する個別遅延回路 335, 336 とからなる。遅延量制御回路 34 は、センス抵抗 RCS により検出された電圧 V_{sns} と分割抵抗 R11, R12 で分割した入力電圧 V_{in} に比例した電圧 V_{in}' とから所定の演算を行なう演算回路 340 と、該演算回路 340 の演算結果に対して外部からの設定値 DLY1 ~ DLY3 を掛けて遅延制御信号 AD1 ~ AD3 を生成する掛け算回路 341 ~ 343 とからなる。

【0026】

この遅延量制御回路 34 で生成された遅延制御信号 AD1 ~ AD3 により上記個別遅延回路 331 ~ 336 における遅延量 D1, D2, D3 が決定され、図 3 (3) ~ (8) の信号 PA, PB を D1 だけ、PC, PD を D2 だけ、さらに PE, PF を D3 だけ遅延した図 3 (9) ~ (14) のような信号を生成して、スイッチ MOSFET M1 ~ M6 のオン／オフ制御する信号 OUT-A ~ OUT-F として出力

する。遅延制御信号 $AD1 \sim AD3$ は、遅延回路 331～336 の回路形式に応じて電圧信号または電流信号のいずれであっても良い。

【0027】

本実施例の DC-DC コンバータにおいては、スイッチ MOSFET $M1 \sim M4$ のソース・ドレイン間電圧 V_{ds} が 0 V になるタイミングで $M1 \sim M4$ をオン／オフを切り替える制御 (ZVS) を行なうが、PWM 制御回路 31 でクロック CK に同期して $M1, M2$ をオン／オフさせ、センス抵抗 R_{CS} により検出される電圧 V_{sns} が V_{err} に達した時点で $M3, M4$ をオン／オフさせるような基準信号を生成し、可変遅延回路 33 でこれらの信号に適当な遅延を与えることで実現している。

【0028】

より具体的には、予め想定した入力電圧と負荷の条件のときにスイッチ MOSFET $M1 \sim M4$ のソース・ドレイン間電圧 V_{ds} が 0 V になるタイミングで $M1 \sim M4$ がオンされるように、可変遅延回路 33 の基準遅延時間を設定しておいて、負荷が想定値からずれているときは負荷に連動して変化するセンス抵抗 R_{CS} の検出電圧 V_{sns} に応じてまた入力電圧 V_{in} が変化した時は抵抗分割した電圧 V_{in}' に応じてそれぞれ遅延時間を変えて $M1 \sim M4$ のオン・タイミングをシフトさせ、ZVS 制御を実現している。

【0029】

また、本実施例の電源制御用 IC 30 には分割抵抗 $R11, R12$ で分割した入力電圧 V_{in} に比例した電圧 V_{in}' を監視するリモート制御回路 35 および補助電源 50 からの電源電圧 V_{cc} を監視する UVL 検出回路 36 と、電源電圧 V_{cc} に基づいて IC 内部で必要とされる内部電源電圧 V_{cc}' を生成する内部電源回路 37 と、該内部電源回路 37 で生成された内部電源電圧 V_{cc}' を前記 PWM 回路 31 などの内部回路に供給したり遮断したりする電源スイッチ $SW0$ と備えており、入力電圧 V_{in} が所定レベル以下になったり電源電圧 V_{cc} が所定レベル以下になったりすると、リモート制御回路 35 や UVL 検出回路 36 が電源スイッチ $SW0$ をオフさせて、PWM 制御回路 31 や同期整流制御回路 32、可変遅延回路 33、遅延量制御回路 34 への内部電源電圧 V_{cc}' の供給を遮断し電源動作を停止

させるように構成されている。

【0030】

本実施例では、このリモート制御回路 35 の電圧モニタ端子として、遅延量制御回路 34 が監視する入力電圧 V_{in} を抵抗分割した電圧 V_{in}' を入力するための端子と兼用させているので、端子を追加する必要はない。しかも、この実施例では、前述したように、スイッチ MOSFET M1～M4 のソース・ドレイン間電圧 V_{ds} が 0 V になるタイミングを検出するためにトランスの 1 次側コイルの両端子の電圧をモニタせずに、PWM 制御に用いられる電流センス抵抗 R_{CS} の検出電圧、上記入力電圧 V_{in} を抵抗分割した電圧 V_{in}' を利用して間接的に M1～M4 のソース・ドレイン間電圧 V_{ds} が 0 V になるタイミングを演算で求めているため、この点でも端子数を減らすことができる。

【0031】

さらに、出力電流 I_{out} を入力する端子に関しても、2 次側に流れる過電流を防止する回路を内蔵させる場合に、PWM 制御のための出力電流 I_{out} のモニタ端子 (V_{sns}) と過電流防止のための出力電流 I_{out} のモニタ端子とを兼用させることにより、端子数の増加を回避することができる。また、上記実施例では、内部電源回路 37 が電源電圧 V_{cc} に基づいて内部電源電圧 V_{cc}' を生成しているが、電源制御用 IC 30 の耐圧が高い場合には入力電圧 V_{in} を抵抗分割した電圧 V_{in}' に基づいて内部電源電圧 V_{cc}' を生成する方式も考えられる。その場合には、図 2 における V_{in}' を入力するための端子と電源電圧 V_{cc} を供給する端子とを共用させることでさらに外部端子の数を減らすことができる。

【0032】

次に、本実施例の DC-DC コンバータの動作を、図 4 のタイミングチャートおよび図 5～図 10 の等価回路図を用いて説明する。なお、図 4 は、図 3 の破線 A の部分を拡大して示すものであり、図 5～図 10 は、図 4 に示されている各期間 #1～#6 におけるスイッチング回路 10 および同期整流回路 20 の状態を示している。

【0033】

図 5～図 10 において、符号 SA～SF で示されているスイッチは図 1 におけ

る MOSFET M1～M6 に相当し、符号 C_r は各スイッチ MOSFET に寄生する容量を示している。また、 L_r はトランス TS1 の漏れインダクタンスや配線の寄生インダクタンス成分を、 V_{11} 、 V_{12} は 1 次側コイルの端子電圧を表わしている。

【0034】

期間 # 1 では、図 5 のように、1 次側のスイッチング回路のスイッチ SA と SD がオン、SB と SC がオフ状態にされる。また、このとき 2 次側の整流回路では同期整流用スイッチ SE がオフ、SF がオン状態にされる。これにより、トランス TS1 の 1 次側コイルに入力電圧 V_{in} が印加されてコイルに電流が流され、トランス TS1 の 2 次側コイルには巻数比 N に応じた電圧が誘起されて 1 次側から 2 次側へ電力が伝達される。そして、2 次側の整流回路では、SE がオフ、SF がオンであるため、チョークコイル L_1 から負荷 R_L さらにスイッチ SF へ向って電流が流され、 L_1 にエネルギーが蓄積される。

【0035】

期間 # 2 では、図 6 のように、1 次側のスイッチング回路のスイッチ SA がオン、SD と SB と SC がオフ状態にされる。また、このとき 2 次側の整流回路では、期間 # 1 と同様に同期整流用スイッチ SE がオフ、SF がオン状態のままにされる。これにより、1 次側では SD がオフされてもトランス TS1 の 1 次側コイルには電流が流れ続けようとするため、1 次側コイルの電流がスイッチ SD の寄生容量 C_r に向って流れこれを充電させ、コイルの端子電圧 V_{12} が上昇する。

【0036】

1 次側コイルの端子電圧 V_{12} が上昇して V_{in} に達するまで、つまり 1 次側コイルの端子間電圧が V_{in} から 0 V に変化するまでに要する時間 ($t_2 - t_1$) は、次式 (1)

$$t_2 - t_1 = (C_r \times V_{in} \times N) / (0.5 \times I_{out}) \quad \cdots \cdots (1)$$

で表わされる。なお、式 (1) において、 I_{out} に 0.5 を掛けているのは本実施例のように同期整流回路に 2 つのチョークコイル L_1 、 L_2 が設けられているカレントダブル方式の回路では、1 サイクル中に流れる電流は、 I_{out} の $1/2$

になるためである。この式 (1) より、スイッチ S D をオフさせた後、 $(t_2 - t_1)$ 時間後にスイッチ S C をオンさせれば S C はソース・ドレイン間電圧が 0 V になったタイミングでオンさせることができることが分かる。

【0037】

本実施例では、遅延量制御回路 34 の演算回路 340 において、式 (1) の演算を行なって遅延時間 D 2 ($= t_2 - t_1$) を決定し、スイッチ S C の制御信号 OUT-C を立ち上げるようにしている。これにより、スイッチ S C のスイッチング損失を最小にすることができる。

【0038】

次に、期間 # 3 では、図 7 のように、1 次側のスイッチング回路のスイッチ S A と S C がオン、S D と S B がオフ状態にされる。また、このとき 2 次側の整流回路では、同期整流用スイッチ S E と S F が共にオン状態にされる。これにより、トランス T S 1 の 1 次側コイルも 2 次側コイルも短絡状態にされ、それぞれ電流が流れ続けるアイドル状態になるとともに、2 次側の回路ではチョークコイル L 1、L 2 に蓄積されていたエネルギーが吐き出され負荷 R L で消費される。

【0039】

次の期間 # 4 では、図 8 のように、1 次側のスイッチング回路のスイッチ S A と S B と S D がオフ、S C がオン状態にされる。また、このとき 2 次側の整流回路では、期間 # 3 と同様に同期整流用スイッチ S E と S F が共にオン状態のままにされる。

すると、1 次側のスイッチング回路では、スイッチ S B の寄生容量に蓄積されていた電荷が放電されることにより、コイルの端子電圧 V 1 1 が急速に低下する。このとき、スイッチ S B の寄生容量 C r と 1 次側コイルの寄生インダクタンス L r とが直列共振回路を構成するため、コイルの端子電圧 V 1 1 は正弦波状に下降する。

【0040】

ここで、C r と L r からなる直列共振回路の共振ピーク電圧（絶対値）が入力電圧 V in よりも小さい場合には、V in からピーク値（最小値）に達するまでの時間 $t_4 - t_3$ は、次式 (2)

$$t_4 - t_3 = \{2\pi \times \sqrt{L_r \times C_r}\} / 4 \quad \cdots \cdots (2)$$

で表わされる。また、共振ピーク電圧 V_{pp} は、次式 (3)

$$V_{pp} = (I_{out} / 2) / N \times \{\sqrt{L_r / C_r}\} \quad \cdots \cdots (3)$$

で表わされる。上式 (2) より、スイッチ S_A をオフさせた後、 $(t_4 - t_3)$ 時間後にスイッチ S_B をオンさせれば S_B のソース・ドレイン間電圧が 0 V になったタイミングで S_B をオンさせることができることが分かる。

【0041】

本実施例では、遅延量制御回路 34 の演算回路 340 において、式 (2) の演算を行なって遅延時間 D_1 ($= t_4 - t_3$) を決定し、スイッチ S_B の制御信号 OUT-B を立ち上げるようにしている。仮に 1 次側コイルの端子電圧 V_{11} がピーク値 (最小値) に達する前にスイッチ S_B がオンされると、ソース・ドレイン間電圧が 0 V になる前にオンされるためスイッチ S_B で損失が発生するが、本実施例ではスイッチ S_A をオフさせた後、 D_1 時間後 (図 4 のタイミング t_4) すなわち S_B のソース・ドレイン間電圧が 0 V になったタイミングでスイッチ S_B をオンさせるため、スイッチ S_B での損失を最小にすることができる。

【0042】

次に、期間 #5 では、図 9 のように、1 次側のスイッチング回路のスイッチ S_B と S_C がオン、 S_A と S_D がオフ状態にされる。これにより、トランスの 1 次側コイルと 2 次側コイルに流れる電流の向きがそれぞれ反転するが、スイッチ S_B のオン直後は図 9 のようにまだ電流の向きは反転しないため、その前に 2 次側のスイッチ S_F をオフさせると、 S_F のボディダイオードで損失が発生する。また、スイッチ S_F をオフさせるタイミングが遅れると、1 次側コイルを駆動しているにもかかわらず 2 次側コイルが短絡した状態になる。従って、スイッチ S_F はコイルに流れる電流の向きが反転するタイミング t_6 の直前の t_5 にてオフさせるのが最も望ましい。

【0043】

ここで、スイッチ S_B と S_C をオン状態にさせてから電流の向きが反転するのに要する時間 $t_6 - t_4$ は、次式 (4)

$$t_6 - t_4 = (L_r \times I_{out} / 2) / (N \times V_{in}) \quad \cdots \cdots (4)$$

で表わされる。

【0044】

本実施例では、遅延量制御回路34の演算回路340において、式(4)の演算を行なって遅延時間 $D3 = (t5 - t4) < (t6 - t4)$ を決定し、スイッチSFの制御信号OUT-Fを立ち下げようとしているため、スイッチSFでの損失を最小にすることができる。なお、スイッチSFをオフさせた後の期間#6では、図10のように、トランスTS1の1次側コイルに入力電圧 $-V_{in}$ が印加されて、1次側コイルに図5と逆向きの電流が流され、1次側から2次側へ電力が伝達される。そして、2次側の整流回路では、SEがオン、SFがオフであるため、チョークコイルL2から負荷RLさらにスイッチSEへ向って電流が流され、L2にエネルギーが蓄積される。

【0045】

その後は、図6～図9を用いて説明した手順と同様の手順で制御が行なわれ、最小の損失でDC-DCコンバータを動作させることができる。従って、従来に比べて小さなコイルやコンデンサを使用してもスイッチング周波数を高くすることで十分な電流供給能力を有する電源装置を実現することができる。また、損失が少ないため特別な放熱構造を設ける必要がないので、コイルやコンデンサの小型化がそのまま装置の小型化につながるようになる。

【0046】

上記実施例では、期間#4において、CrとLrからなる直列共振回路の共振ピーク電圧(絶対値) V_{pp} が入力電圧 V_{in} よりも小さい場合を想定してスイッチSBをオンさせるタイミングの決定の仕方について説明した。しかし、電源の動作条件が変化した場合は常に上記条件を満たすとは限らない。上記共振ピーク電圧 V_{pp} と入力電圧 V_{in} の関係により、期間#4における1次側コイルの両端子間電圧 V_{pri} の動作波形は、図11(i)～(iii)に示すように3つの場合がある。いずれの条件でも、両端子間電圧 V_{pri} が共振ピーク電圧に達するのに要する時間 $(t4 - t3)$ は同じであり、前記式(2)で表わされるが、1次側コイルの両端子間電圧 V_{pri} が共振ピーク電圧に達した時にスイッチSBをオンさせたのでは損失が発生することがある。

【0047】

i) $V_{pp} < V_{in}$ (図 11 (i))

この条件では、共振ピーク電圧 V_{pp} が V_{in} より低いために両端電圧 V_{pri} は V_{in} に達しないので、両端子間電圧 V_{pri} が共振ピーク電圧に達した時にスイッチ S_B をオンさせても損失が発生する。しかし、損失を最小にするには、ピーク電圧に達するタイミング(スイッチ S_B のドレイン・ソース間電圧が最小になるタイミング) t_4 でスイッチ S_B をオンするのが最適である。

【0048】

ii) $V_{pp} = V_{in}$ (図 11 (ii))

この条件では、両端子間電圧 V_{pri} がピーク電圧に達するタイミング t_4 でスイッチ S_B をオンさせることで、損失を最小にすることができる。

【0049】

iii) $V_{pp} > V_{in}$ (図 11 (iii))

この条件では、両端子間電圧 V_{pri} がピーク電圧に達するタイミング t_4 よりも前のタイミング t_4' で共振電圧が V_{in} に達する。そして、コイル両端電圧 V_{pri} は V_{in} にクランプされるので、共振波形は点線で示すような正弦波とはならずピークは顕れない。この場合、タイミング t_4 でスイッチ S_B をオンすることにより、ドレイン・ソース間電圧が 0 V のタイミングでスイッチを切り替える ZVS 制御は実現できる。しかし、 $t_4' \sim t_4$ の間はスイッチ S_B のボディダイオードに電流が流れるため、損失が発生する。従って、この場合には、時間 t_4' でスイッチ S_B をオンするのが最適である。

【0050】

この場合のコイル両端電圧 V_{pri} が V_{in} に達する時間 ($t_4' - t_3$) は、次式 (5)

$$t_4 - t_3 = \{\sqrt{L_r \times C_r}\} \times \sin^{-1} [(V_{in} \times 2N) / I_{out} / \{\sqrt{L_r / C_r}\}] \quad \cdots (5)$$

で表わされ、 V_{in} と I_{out} の関数であることが分かる。よって、 V_{in} と V_{pp} の関係に応じて、式 (2) または式 (5) 式で示した時間設定を行なうことで、損失を最小限に抑えることができる。

【0051】

しかし、上記のように条件分けで制御を行なったり、(5)式のように複雑な計算式による制御を行なおうとすると、制御回路の回路規模が増大してしまう。そこで、一例として多少の損失はやむを得ないものとし、D1は常に式(2)で表わされる遅延時間に設定するという方法が考えられる。この場合、i)の条件ではZVS制御を実現できないが最小損失での制御は可能であり、ii)の条件ではZVS制御を実現しかつ最小損失での制御は可能である。また、iii)の条件ではZVS制御は実現できるが、ボディダイオードの導通損失が発生する。

【0052】

別の例としては電源の使用条件、入力電圧範囲／負荷電流範囲で共振ピーク電圧が必ず V_{in} 以上になるように共振インダクタンス L_r 、共振容量 C_r を付加する方法が考えられる。すなわち、電源の使用条件によらず、常に上記図11(iii)の状態にする方式である。このようにした場合には、共振ピーク電圧 V_{pp} は式(3)で表わされるので、次式(6)

$$V_{in_max} < (I_{out_min} / 2) / N \times \sqrt{L_r \times C_r} \quad \cdots (6)$$

を満足する L_r 、 C_r を付加すれば、必ず図11(iii)の状態となる。

【0053】

さらに、 $X < 0.7$ の場合、 $\sin^{-1} X \doteq X$ と近似できるので、次式(7)

$$V_{in_max} / 0.7 < (I_{out_min} / 2) / N \times \sqrt{L_r \times C_r} \quad \cdots (7)$$

を満足するような共振インダクタンス L_r および共振容量 C_r を付加する。この場合には、遅延時間 $D3 (= t_{4'} - t_3)$ は、次式(8)

$$t_{4'} - t_3 = (V_{in} \times N) / \{ I_{out} \times \sqrt{L_r / C_r} \} \quad \cdots (8)$$

で求めることができる。なお、上記のような制御方式は一例であって、電源の入力電圧 V_{in} 、電流 I_{out} に応じて遅延時間を調整する本発明は、上記のような方式に限定されるものではない。

【0054】

図12は、図1の実施例の第1の変形例を示す。

この変形例は、ユーザーが本発明に係るタイミング調整機能を利用する利用しないかを自由に設定できるようにする機能を持たせるための補助機能回路38と、該補助機能回路38の出力信号と図2の遅延量制御回路34と同様な機能を有

する遅延量制御回路 34' の出力信号とを合成して出力する合成回路 39 とを設けたものである。

【0055】

さらに、この変形例では、図 2 に示されている遅延量を指定する設定値 DLY1 ~ DLY3 を与えるための外部端子を利用してタイミング調整機能を非活性にできるように構成されている。図 12 には、遅延量を指定する設定値 DLY1 ~ DLY3 を与えるための外部端子のひとつ（例えば DLY1）とそれに付随する回路が示されている。図示しないが、残りの 2 つの端子（DLY2, DLY3）にも同様な付随回路が設けられる。

【0056】

図 12 の補助機能回路 38 は、設定値 DLY1（DLY2, DLY3）が入力される各端子 P1（P2, P3）と接地電位を与える電源端子（グランド端子）GND との間に直列形態に接続された PNP トランジスタ Q1 および NPN トランジスタ Q2 と、該トランジスタ Q2 とカレントミラー接続されたトランジスタ Q3 と、該トランジスタ Q3 のエミッタに接続された電流源 I1 と、内部の定電圧回路 40 で生成された参照電圧 Vref を外部へ出力するための端子 P4 と設定値 DLY1（DLY2, DLY3）が入力される各端子 P1（P2, P3）との間に直列形態に接続された PNP トランジスタ Q4 および NPN トランジスタ Q5 と、該トランジスタ Q5 とカレントミラー接続されたトランジスタ Q6 と、該トランジスタ Q6 のエミッタに接続された電流源 I2 と、該電流源 I2 の電流により動作して前記可変遅延回路 33 の各個別遅延手段 331 ~ 336 において予め設定された所定の遅延を生じさせるような遅延制御信号を与える非調整回路 381 とから構成されている。

【0057】

遅延量制御回路 34' は、上記電流源 I1 の電流によって動作されかつその電流値に応じて出力信号が変化するように構成されている。そして、この遅延量制御回路 34' から出力される信号と上記非調整回路 381 の出力信号とが合成回路 39 で合成されて前記可変遅延回路 33 へ遅延制御信号 AD1 ~ AD3 として供給されるようにされている。さらに、上記外部端子 P1 ~ P3 には、それぞれ

外付け抵抗 $R_1 \sim R_3$ と該抵抗 $R_1 \sim R_3$ の他方の端子を接地電位または前記参照電圧出力端子 P_4 に選択的に接続可能にするスイッチ $SW_1 \sim SW_3$ が設けられている。

【0058】

この実施例では、上記スイッチ $SW_1 \sim SW_3$ を接地電位 GND 側へ切り替えたとトランジスタ Q_1 、 Q_2 はオフ状態にされ、遅延量制御回路 34 は電流源 I_1 から電流が供給されないため動作停止状態になる一方、トランジスタ Q_4 、 Q_5 がオン状態にされて非調整回路 381 に電流源 I_2 からの電流が供給されて活性化されて所定の信号を出力する。

【0059】

また、上記スイッチ $SW_1 \sim SW_3$ を参照電圧出力端子 P_4 側へ切り替えたとトランジスタ Q_4 、 Q_5 はオフ状態にされ、非調整回路 381 は電流源 I_2 から電流が供給されないため動作停止状態になる一方、トランジスタ Q_1 、 Q_2 がオン状態にされて遅延量制御回路 34 に電流源 I_1 からの電流が供給されて活性化されて可変遅延回路 34 に対する遅延制御信号を生成して出力する。しかも、この実施例では、スイッチ $SW_1 \sim SW_3$ を参照電圧出力端子 P_4 側へ切り替えたと、可変遅延回路 34 がそのときの抵抗 $R_1 \sim R_3$ の抵抗値に応じた信号を出力するように構成されている。

【0060】

なお、スイッチ $SW_1 \sim SW_3$ は素子として設ける必要はなく、例えば電源制御用 IC 30 が実装されるプリント配線基板上に形成される配線パターンを変更することで抵抗 $R_1 \sim R_3$ の接続先を切り替えるような構成であっても良い。また、図 12 においては抵抗 $R_1 \sim R_3$ を外部端子 $P_1 \sim P_3$ とスイッチ $SW_1 \sim SW_3$ との間に設けているが、チップ内部でトランジスタ Q_5 と外部端子 $P_1 \sim P_3$ との間に所定の抵抗値を有する抵抗を設け、参照電圧出力端子 P_4 とスイッチ $SW_1 \sim SW_3$ との間に抵抗 $R_1 \sim R_3$ を接続するようにしても良い。これにより、外部端子 $P_1 \sim P_3$ を接地電位側に接続して遅延量制御回路 34 を非活性にする場合には抵抗 $R_1 \sim R_3$ を不要にすることができるとともに、実施例のように抵抗 $R_1 \sim R_3$ の抵抗値によって電流源 I_2 の電流が異なることもない。

【0061】

図13は、図1の実施例の第2の変形例を示す。

この変形例は、軽負荷時に通常負荷時とは異なるタイミングで同期整流回路20のスイッチMOSFET M5, M6をオフさせるようにしたものである。具体的には、可変遅延回路33内に、同期整流制御回路32からのタイミング信号PE, PFを個別遅延回路335, 336をバイパスさせる経路と、該バイパス経路を通過したタイミング信号PE, PFまたは個別遅延回路335, 336で遅延したタイミング信号PE', PF'のいずれを同期整流信号OUT-E, OUT-Fとして出力させるか切替えを行なう切替えスイッチSW31, SW32と、PWM制御回路31内の誤差アンプ311の出力Verが所定レベル以下になった場合に軽負荷と判定して上記切替えスイッチSW31, SW32をバイパス経路側に切り替える制御信号を生成する軽負荷検出回路337とが設けられている。

【0062】

ここで、軽負荷時の動作を説明する。図14は、軽負荷時の制御回路の各信号波形を示したものである。軽負荷時には、誤差アンプ311の出力電圧が低下し、PWM制御回路31は出力電力を絞るように制御信号OUT-A, OUT-B, OUT-C, OUT-Dのタイミングを変化させるため、1次側から2次側への電力伝達期間、すなわちOUT-AとOUT-D、あるいはOUT-BとOUT-Cが同時にハイレベルになる期間は狭められる。ところが、実施例のような位相シフト制御では、1次側の制御信号OUT-A~OUT-Dのデューティは略50%で変わらないので、軽負荷時には図14中に示す位相差φが小さくなる。一方、2次側の同期整流制御信号OUT-E, OUT-Fのパルス幅は狭くされる。

【0063】

この状態で遅延時間D3の制御を行なうと、パルス幅が狭くなりすぎて制御対象のスイッチ素子が完全にオフできないことがあり、最悪の場合、2次側のトランスが短絡して各素子の破壊のおそれもあると考えられる。そこで、本変形例では、軽負荷時には同期整流制御信号OUT-E, OUT-Fに対する遅延時間D3を強制的に「0」にして上記短絡状態の発生を回避するようにしている。なお、D3を「0」にすることは、同期整流制御回路32からのタイミング信号PE, PFがそれぞ

れそのまま同期整流信号OUT-E, OUT-Fとして出力されることと同じである。図13における軽負荷検出回路337は、コンパレータにより構成することができるとともに、可変遅延回路33内ではなくPWM制御回路31内に設けても良い。

【0064】

次に、本発明を適用したDC-DCコンバータの第2の実施例を、図15を用いて説明する。図15において、図1と同一の素子および回路には同一の符号を付して重複した説明を省略する。

図15の実施例は、前記実施例における遅延量制御回路34の代わりに、スイッチング回路10の1次側コイルの端子電圧V11, V12を監視する入力端子P11, P12と、コンパレータCMP1~CMP4からなるゼロボルト判定回路41と、判定基準となる電圧VBSを入力する外部端子P13と、入力電圧Vinを抵抗R11, R12で分割した電圧Vin' とコイルの端子電圧V11, V12との差をとる差分回路42a, 42bとを設けたものである。

【0065】

この実施例では、PWM制御回路31は、ゼロボルト判定回路41による判定結果に基づいてスイッチング回路10の各スイッチMOSFET M1~M4の制御信号OUT-A~OUT-Dを生成する。ゼロボルト判定回路41の各コンパレータCMP1~CMP4には、コイルの端子電圧V11, V12または差分回路42a, 42bの出力電位が入力され、これらの電位が判定基準電圧VBSよりも高い時はロウレベルの信号を出力し、判定基準電圧VBSよりも下がるとハイレベルの信号を出力する。

【0066】

具体的には、コンパレータCMP1は、コイルの一方の端子電圧V11が判定基準電圧VBSよりも高い時はロウレベルの信号を出力し、判定基準電圧VBSよりも下がるとつまりスイッチMOSFET M2のソース・ドレイン間電圧Vdsが判定基準電圧VBSよりも低いとハイレベルの信号を出力する。コンパレータCMP3は、コイルの他方の端子電圧V12が判定基準電圧VBSよりも高い時はロウレベルの信号を出力し、判定基準電圧VBSよりも下がるとつまりスイッチMOSFET M4のソース・ドレイン間電圧Vdsが判定基準電圧VBSよりも低い

とハイレベルの信号を出力する。

【0067】

また、コンパレータCMP 2は、コイルの一方の端子電圧 V_{11} と入力電圧 V_{in} の抵抗分割電圧 V_{in}' との電位差が判定基準電圧 V_{BS} よりも高い時はロウレベルの信号を出力し、判定基準電圧 V_{BS} よりも下がるとつまりスイッチMOSFET M1のソース・ドレイン間電圧 V_{ds} が判定基準電圧 V_{BS} よりも低いとハイレベルの信号を出力する。さらに、コンパレータCMP 4は、コイルの他方の端子電圧 V_{12} と入力電圧 V_{in} の抵抗分割電圧 V_{in}' との電位差が判定基準電圧 V_{BS} よりも高い時はロウレベルの信号を出力し、判定基準電圧 V_{BS} よりも下がるとつまりスイッチMOSFET M3のソース・ドレイン間電圧 V_{ds} が判定基準電圧 V_{BS} よりも低いとハイレベルの信号を出力する。

【0068】

以下、図15の実施例の作用を図16のタイミングチャートを用いて説明する。

スイッチング回路10の各スイッチMOSFETにおける損失を最小にするには、それぞれのソース・ドレイン間電圧 V_{ds} が0Vになったときにオン／オフを切り替えるのが良い。図16(1)、(2)には従来の考え方によるソース・ドレイン間電圧 V_{ds} の判定基準と制御信号のタイミングを、また図16(3)、(4)には本実施例における判定基準と制御信号のタイミングを、スイッチMOSFET M2を例にとって示す。

【0069】

従来の考え方による制御は、図16(1)に示すように、ソース・ドレイン間電圧 V_{ds} の判定基準を0Vとするものである。しかしながら、この判定基準による制御では、タイミング t_3 でMOSFET M1がオフされるとコイルの端子電圧 V_{11} は正弦波状に下降し、タイミング t_4 で最も低い状態(0V)になるが、ゼロボルト判定回路41およびPWM制御回路31における遅延により、制御信号OUT-Bの変化は、図16(2)に示すようにタイミング t_4 より t_{x21} だけ遅れることとなる。そして、この制御信号OUT-Bの変化によりMOSFET M2が実際にオフ状態からオン状態へ移るのはさらに t_{x22} だけ遅いタイミング

t_{4x} となる。しかるに、このときコイルの端子電圧 V_{11} は既にピーク値を通り過ぎて $0V$ よりも高くなっているため、スイッチング損失が発生する。

【0070】

一方、本実施例においては、図16(3)に示すように、判定基準電圧 V_{BS} を適当に設定することにより、コイルの端子電圧 V_{11} が最も低い状態 ($0V$) になる前に制御信号 $OUT-B$ がロウレベルからハイレベルへ変化して、コイルの端子電圧 V_{11} が最も低い状態 ($0V$) になる時点で $MOSFET$ M_2 がオフ状態からオン状態へ移るようになる。言い換えると、本実施例は、コイルの端子電圧 V_{11} が最も低い状態 ($0V$) になる時点で $MOSFET$ M_2 がオフ状態からオン状態へ移るように、コイルの端子電圧 V_{11} が最も低い状態 ($0V$) になる時点よりも ($t_{x21} + t_{x22}$) 時間だけ早い時点でのコイルの端子電圧 V_{11} のレベルを判定基準電圧 V_{BS} として設定しておくようにしたものである。他のスイッチ $MOSFET$ M_1 , M_3 , M_4 についても同様である。これにより、スイッチング回路10における損失を最小にすることができる。

【0071】

なお、図15の実施例では、判定基準電圧 V_{BS} を4つのコンパレータ $CMP1 \sim CMP4$ に対して共通にしているが、別々に設定できるように外部端子を4個設けても良い。あるいは、コンパレータ $CMP1$ と $CMP3$ に共通の判定基準電圧 V_{BS1} を用い、 $CMP2$ と $CMP4$ に他の共通の判定基準電圧 V_{BS2} を用いるようにしても良い。

【0072】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、2次側の整流回路をチョークコイル $L1$, $L2$ と同期整流用 $MOSFET$ $M5$, $M6$ とで構成しているが、同期整流用 $MOSFET$ $M5$, $M6$ をダイオードに置き換えても全波整流回路として機能することができる。

【0073】

なお、実施例において、ダイオードの代わりに同期整流用 $MOSFET$ $M5$

、M6を用いているのは、ダイオードの順方向電圧で損失が生じるのを減らすためである。本発明は、同期整流用MOSFET M5またはM6のいずれか一方が存在する場合に適用すると有効であり、例えばM5がMOSFETの場合にはM6の代わりにダイオードを使用するようにしてもよい。

【0074】

また、前記実施例においては、出力電圧 V_{out} を直接電源制御用IC30へ入力しているが、1次側と2次側の電位差が大きく絶縁性を保証したいような場合には、パルス・トランスやフォトカプラなどにより出力電圧 V_{out} を間接的に電源制御用IC30へ入力するように構成するのが望ましい。同様に、同期整流回路20を構成する同期整流用MOSFET M5、M6をオン／オフする制御信号OUT-E、OUT-Fもパルス・トランスやフォトカプラを介して間接的に供給するようにしてもよい。

【0075】

さらに、出力電圧 V_{out} を直接取り出す代わりに、出力端子間に直列に接続された抵抗からなる抵抗分割回路と、出力端子間に直列に接続された抵抗およびダイオードからなる参照レベル生成回路と、上記抵抗分割回路で分割された電圧と参照レベル生成回路で生成された参照レベルとを入力電圧とする電圧比較回路と、電圧出力端子と電圧比較回路の出力端子との間に接続された抵抗および発光ダイオードなどからなる出力電圧検出回路を設けて、検出された電圧レベルを電源制御用IC30へ入力するように構成することも可能である。

【0076】

また、実施例においては、可変遅延回路33で付与する遅延量を指定する設定情報としての設定値DLY1～DLY3を外部端子から直接入力するようにしているが、制御用IC30のチップ内部に遅延量を指定する情報を設定するためのレジスタまたはフューズやEPROM素子のようなプログラム可能な素子とDA変換回路を設けて、設定された情報から遅延設定値DLY1～DLY3をチップ内部で生成するようにしても良い。

【0077】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、本発明に従うと、2次側の整流回路における損失を低減することができるため、スイッチング周波数を上げてDC-DCコンバータの小型化を図ることが可能になる。また、本発明を適用すると、1次側のスイッチング損失も低減することができるため、DC-DCコンバータのさらなる小型化を図ることが可能になる。さらに、入力電圧や出力電流が変化した場合にも、1次側のスイッチ素子のオン・タイミングおよび2次側の同期整流用トランジスタのオフ・タイミングを最適化して損失を低減することができるDC-DCコンバータを実現できるようになる。また、DC-DCコンバータを構成する電源制御用半導体集積回路の外部端子数を減らすことができる。

【図面の簡単な説明】

【図1】

本発明を適用したDC-DCコンバータの第1の実施例を示す概略構成図である。

【図2】

実施例の電源制御用IC30のより具体的な構成例を示すブロック図である。

【図3】

実施例のDC-DCコンバータにおける電源制御用IC内部の信号と電源制御用ICから出力される信号のタイミングを示すタイミングチャートである。

【図4】

図3における破線Aで囲まれた部分の信号のタイミングの詳細を示すタイミングチャートである。

【図5】

図4の期間#1における実施例のDC-DCコンバータを構成する各スイッチMOSFETの状態と電流の流れの様子を示す等価回路図である。

【図6】

図4の期間#2における実施例のDC-DCコンバータを構成する各スイッチMOSFETの状態と電流の流れの様子を示す等価回路図である。

【図 7】

図 4 の期間 # 3 における実施例の DC-DC コンバータを構成する各スイッチ MOSFET の状態と電流の流れの様子を示す等価回路図である。

【図 8】

図 4 の期間 # 4 における実施例の DC-DC コンバータを構成する各スイッチ MOSFET の状態と電流の流れの様子を示す等価回路図である。

【図 9】

図 4 の期間 # 5 における実施例の DC-DC コンバータを構成する各スイッチ MOSFET の状態と電流の流れの様子を示す等価回路図である。

【図 10】

図 4 の期間 # 6 における実施例の DC-DC コンバータを構成する各スイッチ MOSFET の状態と電流の流れの様子を示す等価回路図である。

【図 11】

共振ピーク電圧 V_{pp} と入力電圧 V_{in} の大小関係に応じて、図 4 の期間 # 4 における 1 次側コイルの両端子間電圧 V_{pri} の変化の様子を示す波形図である。

【図 12】

第 1 の実施例の DC-DC コンバータを構成する電源制御用 IC の第 1 変形例を示す概略構成図である。

【図 13】

第 1 の実施例の DC-DC コンバータを構成する電源制御用 IC の第 2 変形例を示す概略構成図である。

【図 14】

第 2 変形例における電源制御用 IC 内部の信号と電源制御用 IC から出力される信号のタイミングを示すタイミングチャートである。

【図 15】

本発明を適用した DC-DC コンバータの第 2 の実施例を示す概略構成図である。

【図 16】

第 2 実施例を適用しない場合と第 2 実施例を適用した場合における 1 次側コイ

ルの端子電圧とスイッチ制御信号のタイミングを示すタイミングチャートである。

【図 17】

従来の DC-DC コンバータの一例を示す等価回路図である。

【図 18】

従来の DC-DC コンバータにおける電源制御用 IC から出力される信号と 1 次側コイルおよび 2 次側コイルの端子電圧と 2 次側の電流の変化を示すタイミングチャートである。

【符号の説明】

10 スイッチング回路

20 整流回路

30 制御回路 (IC)

31 PWM 制御回路

32 同期整流制御回路

33 可変遅延回路

34 遅延量制御回路

M1~M4 1 次側スイッチ MOSFET

M5, M6 2 次側同期整流用 MOSFET

TS1 電圧変換用トランス

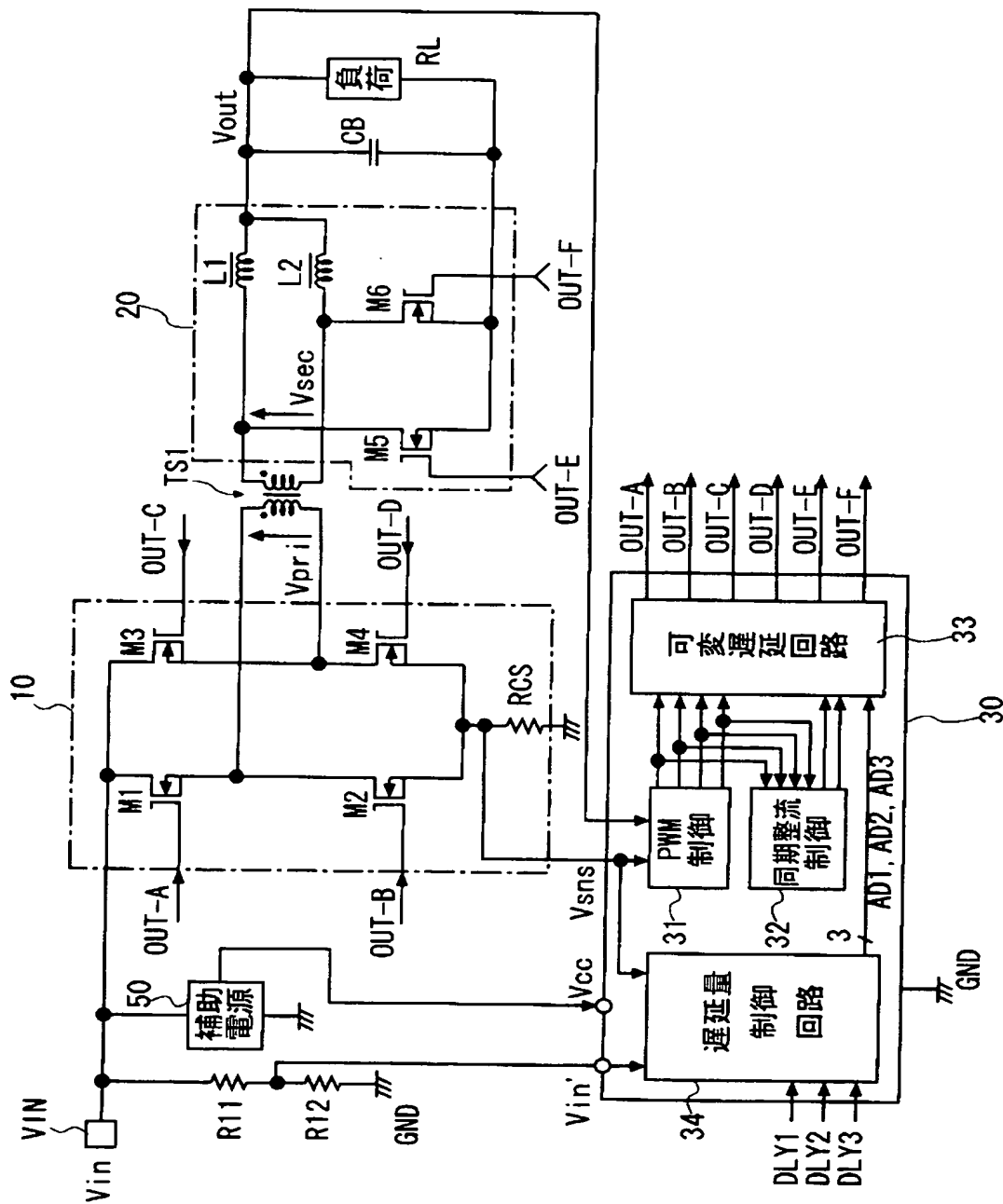
CB 平滑用コンデンサ

L1, L2 整流用チョークコイル

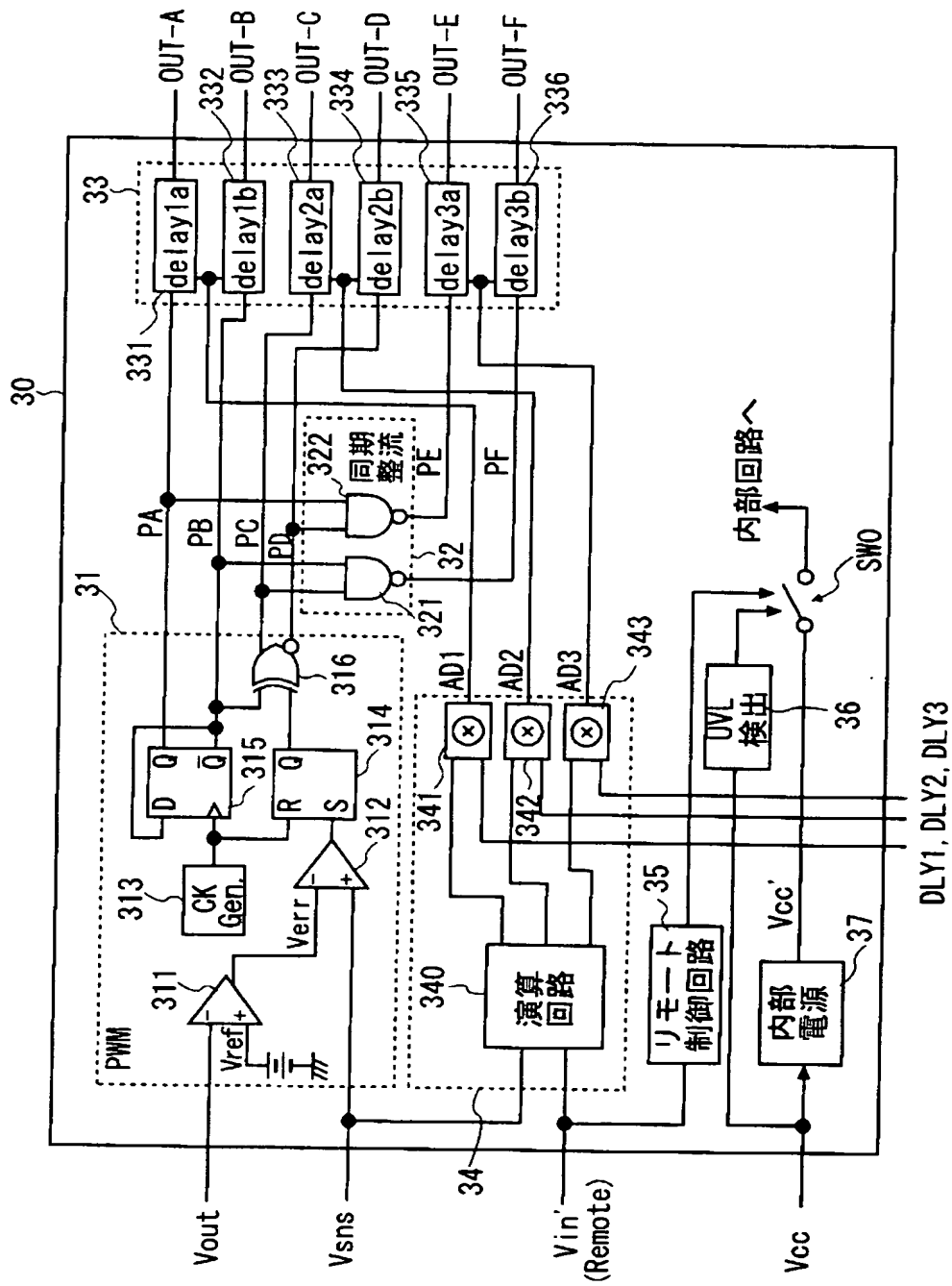
【書類名】

図面

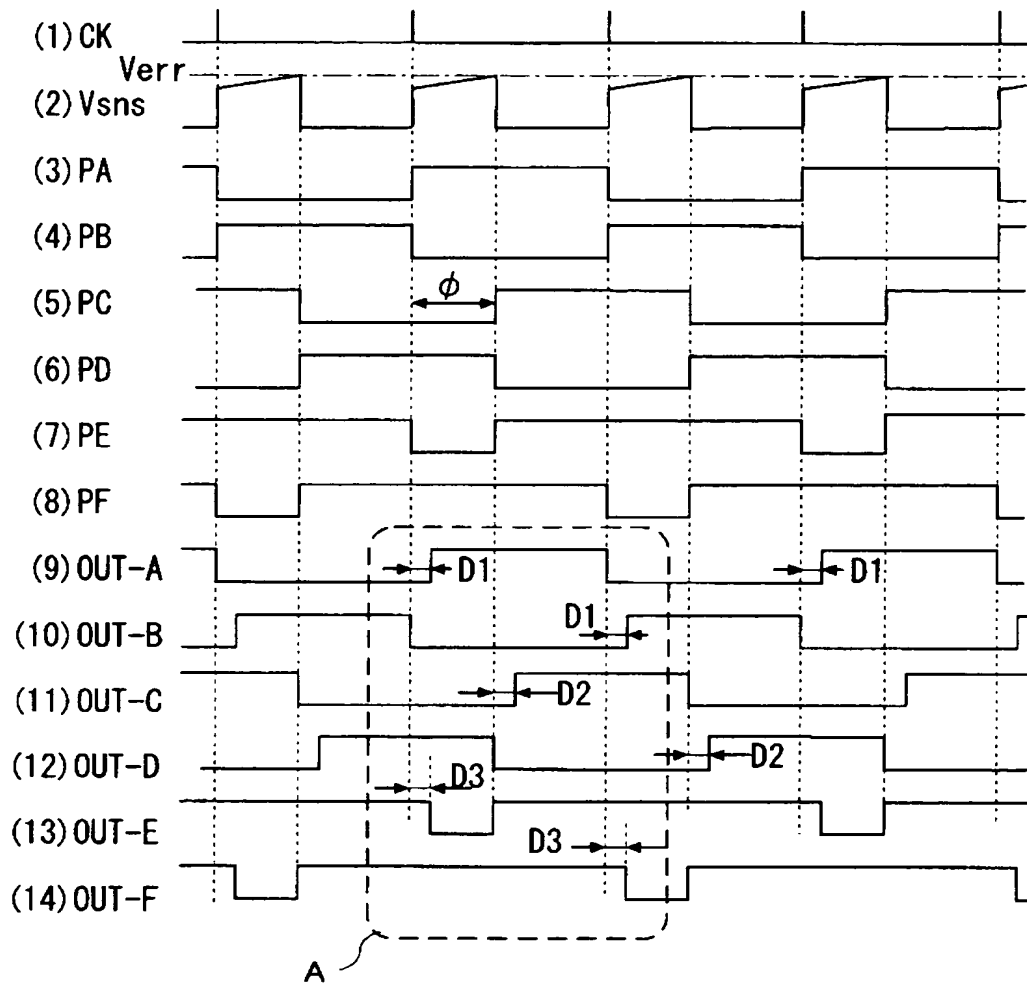
【図 1】



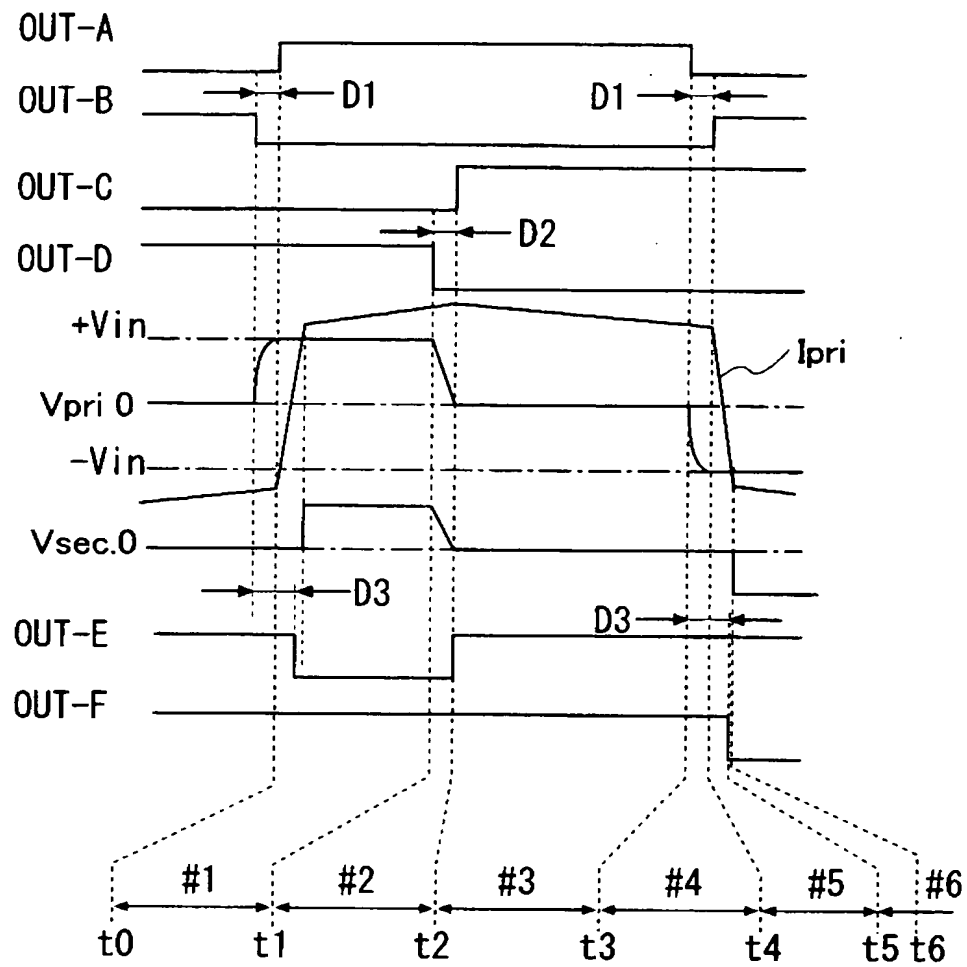
【図 2】



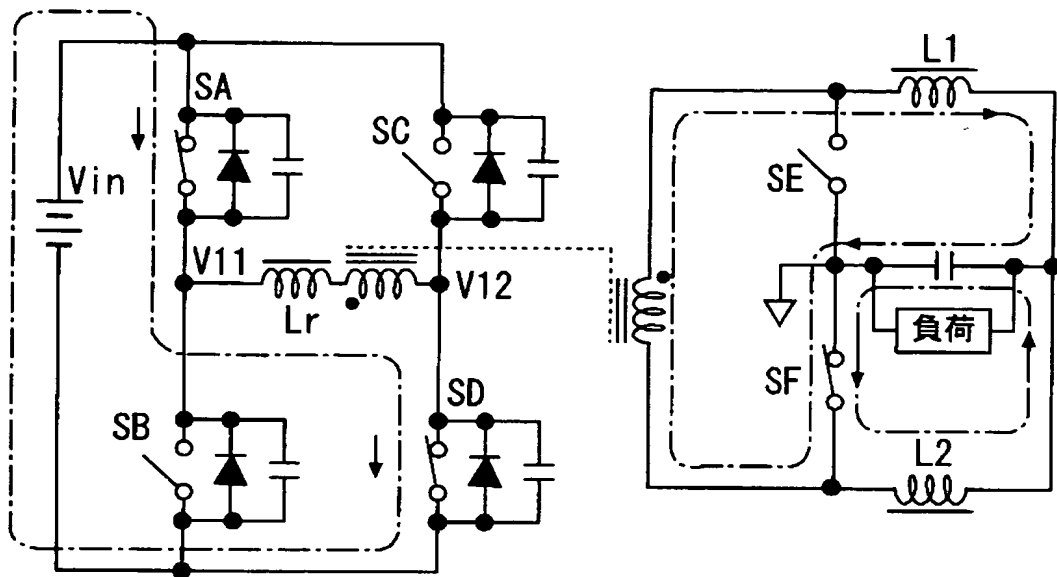
【図 3】



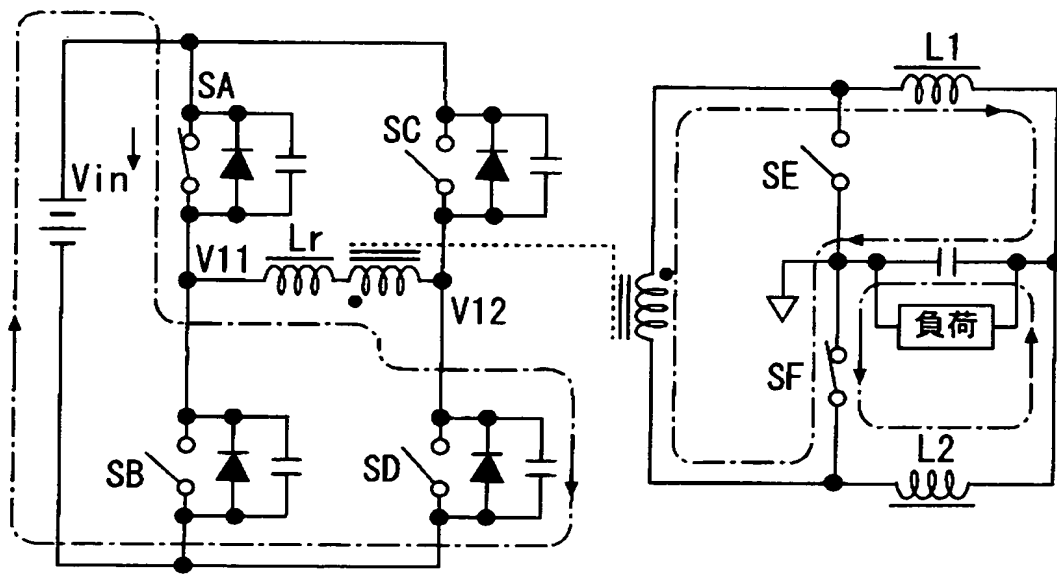
【図 4】



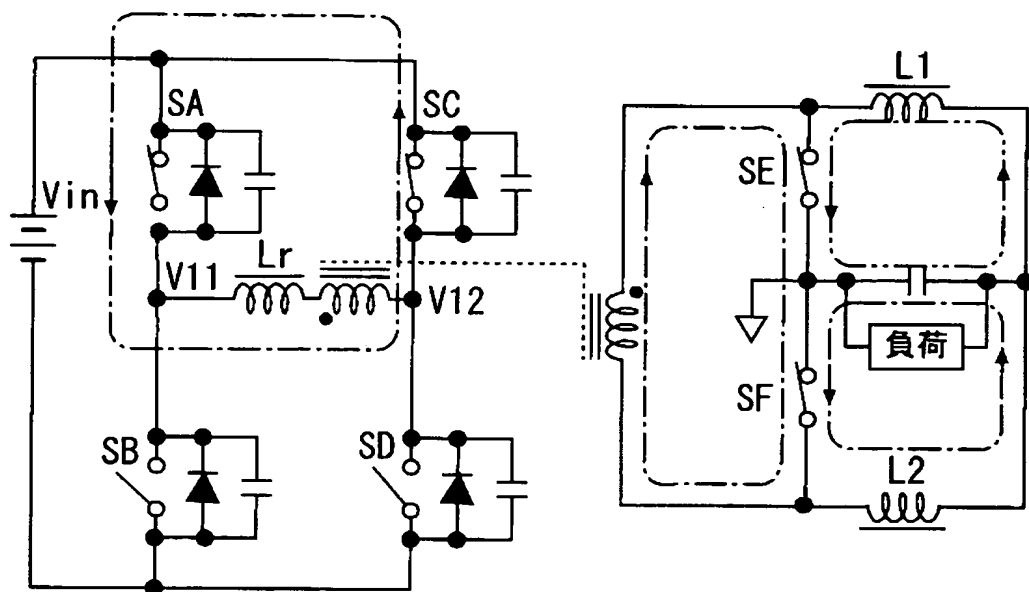
【図 5】



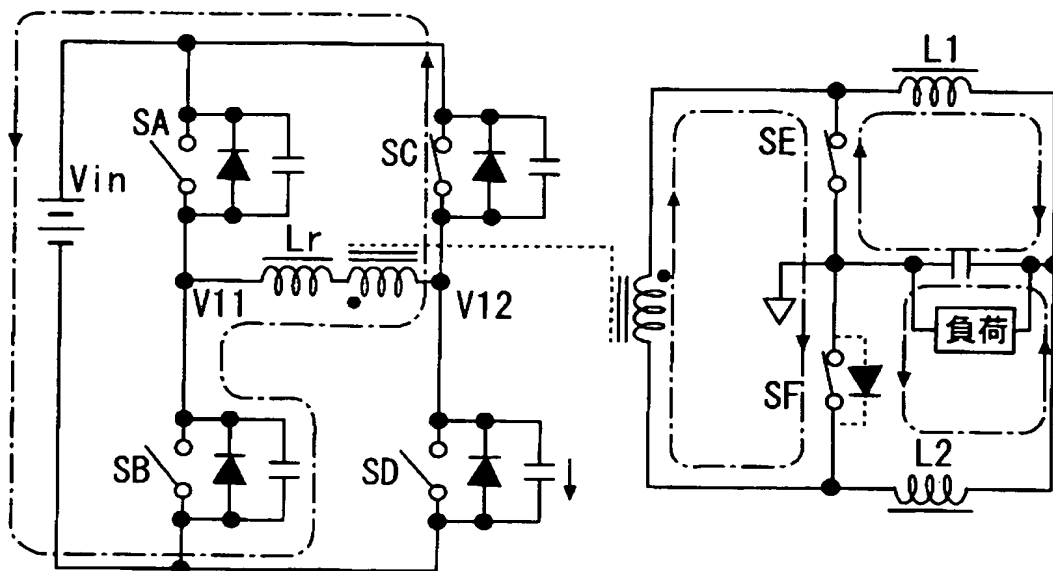
【図 6】



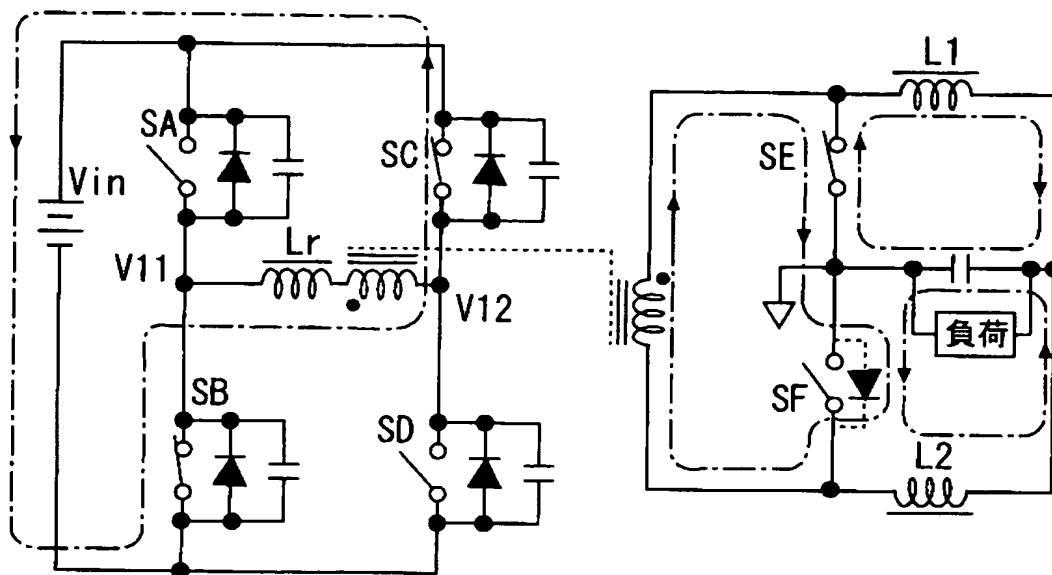
【図 7】



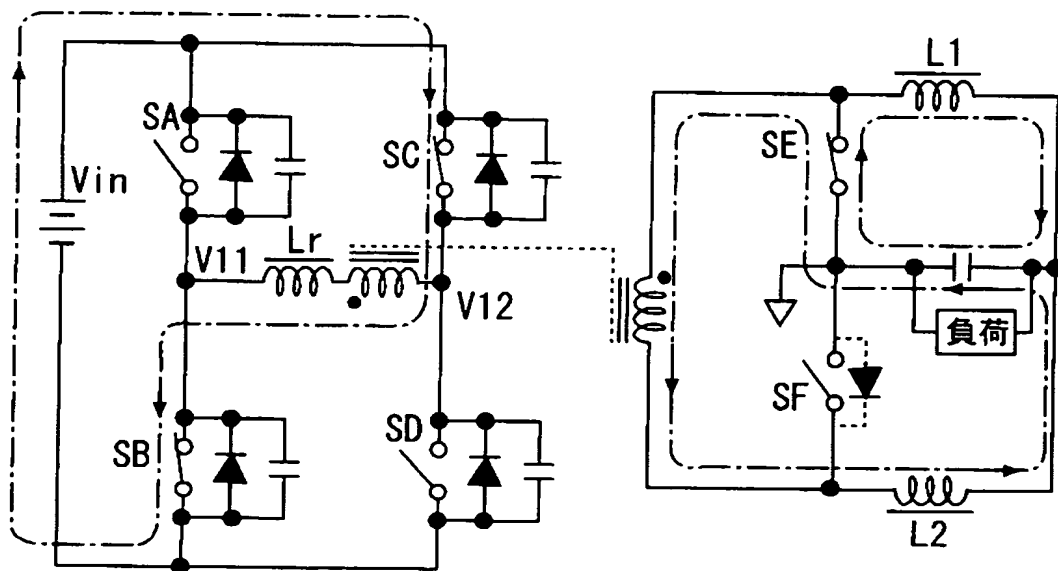
【図 8】



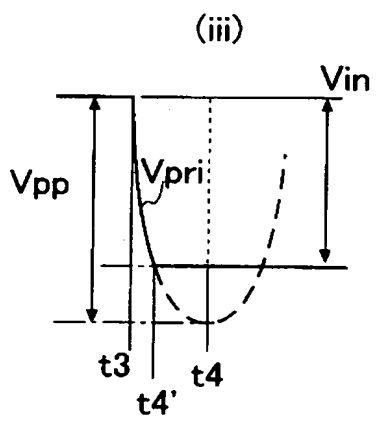
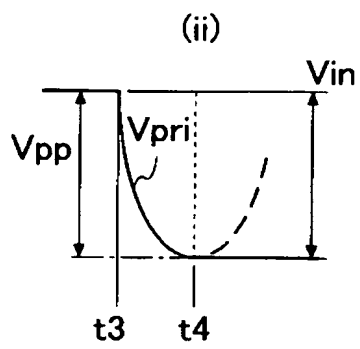
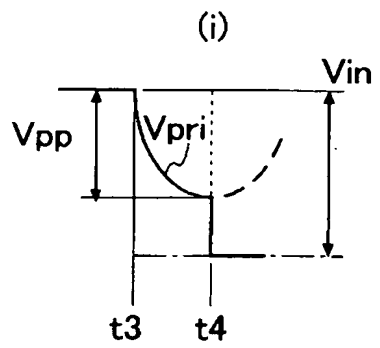
【図 9】



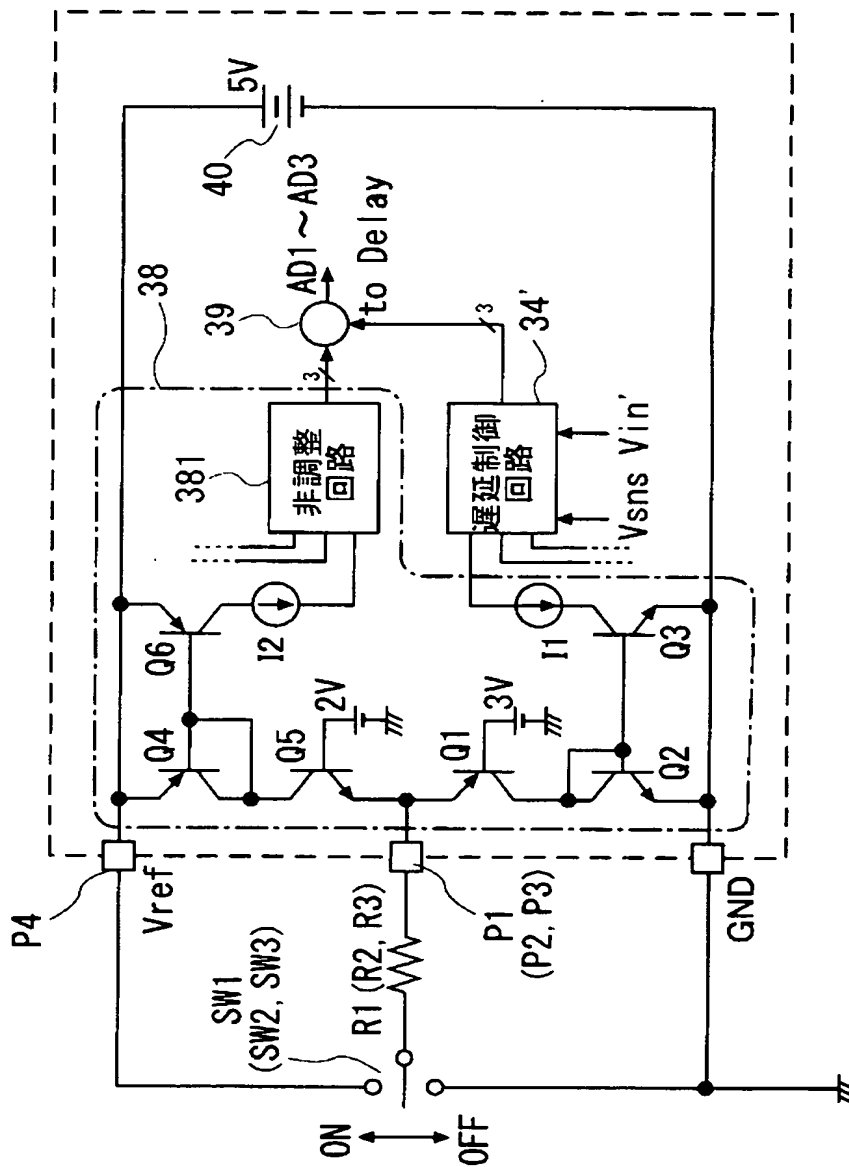
【図 10】



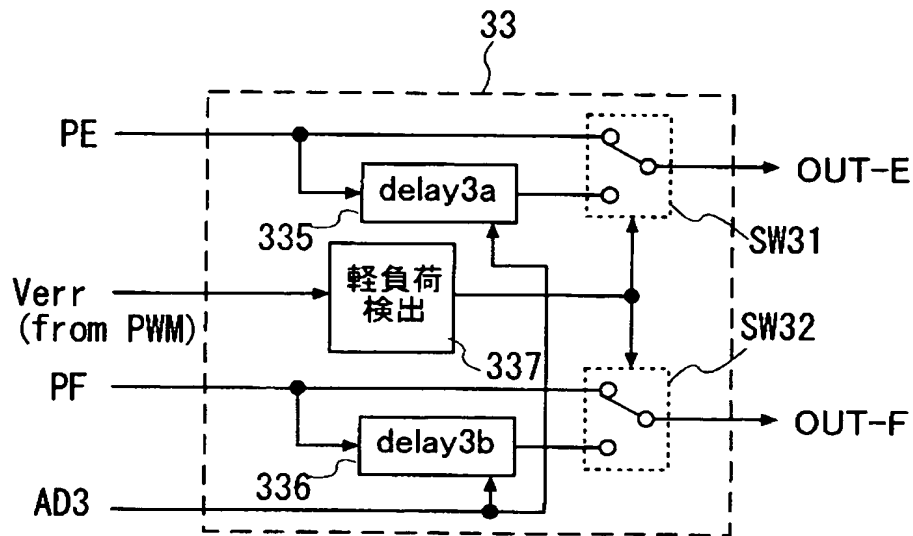
【図 11】



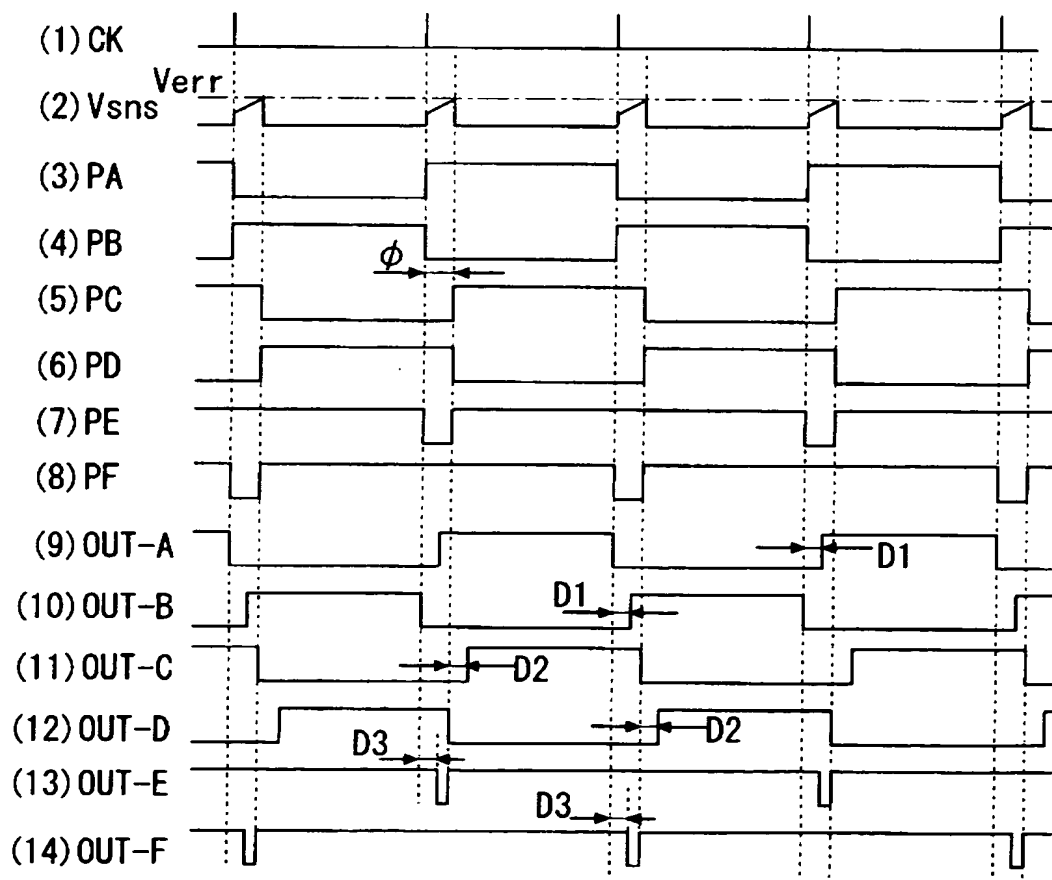
【図 12】



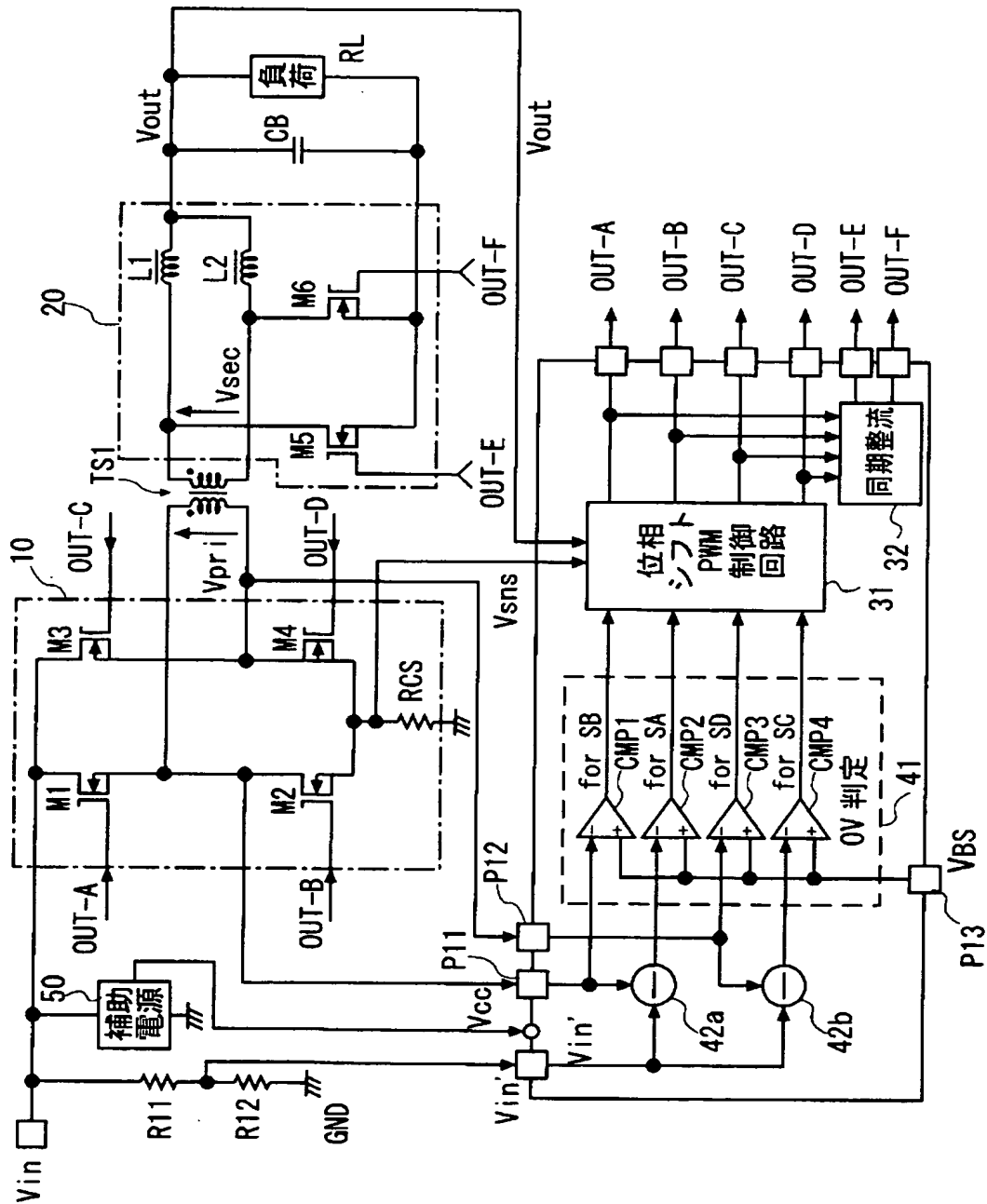
【図 13】



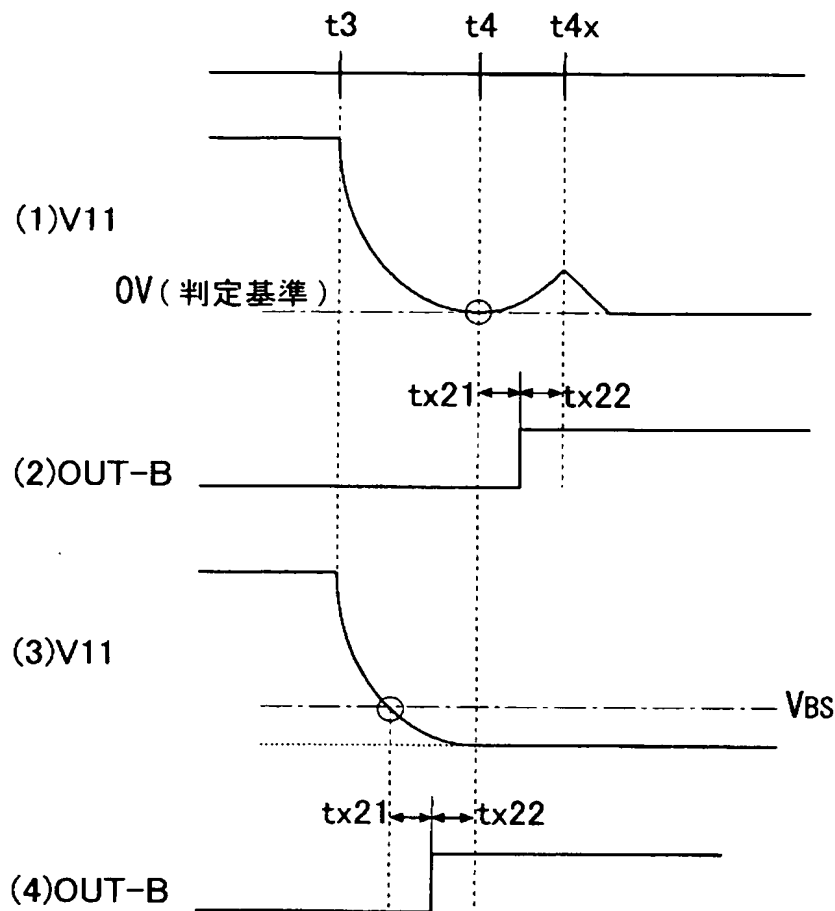
【図 14】



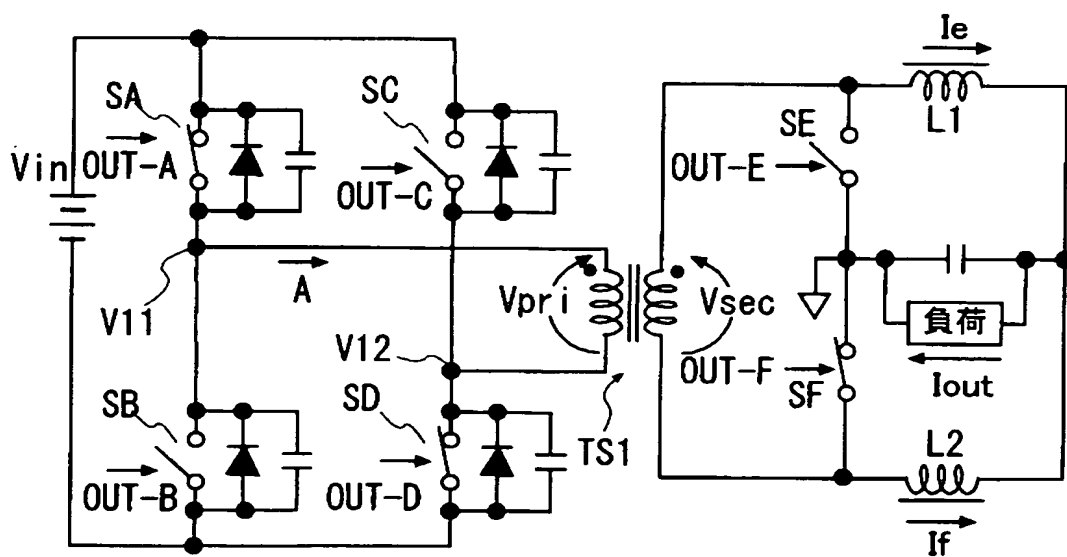
【図 15】



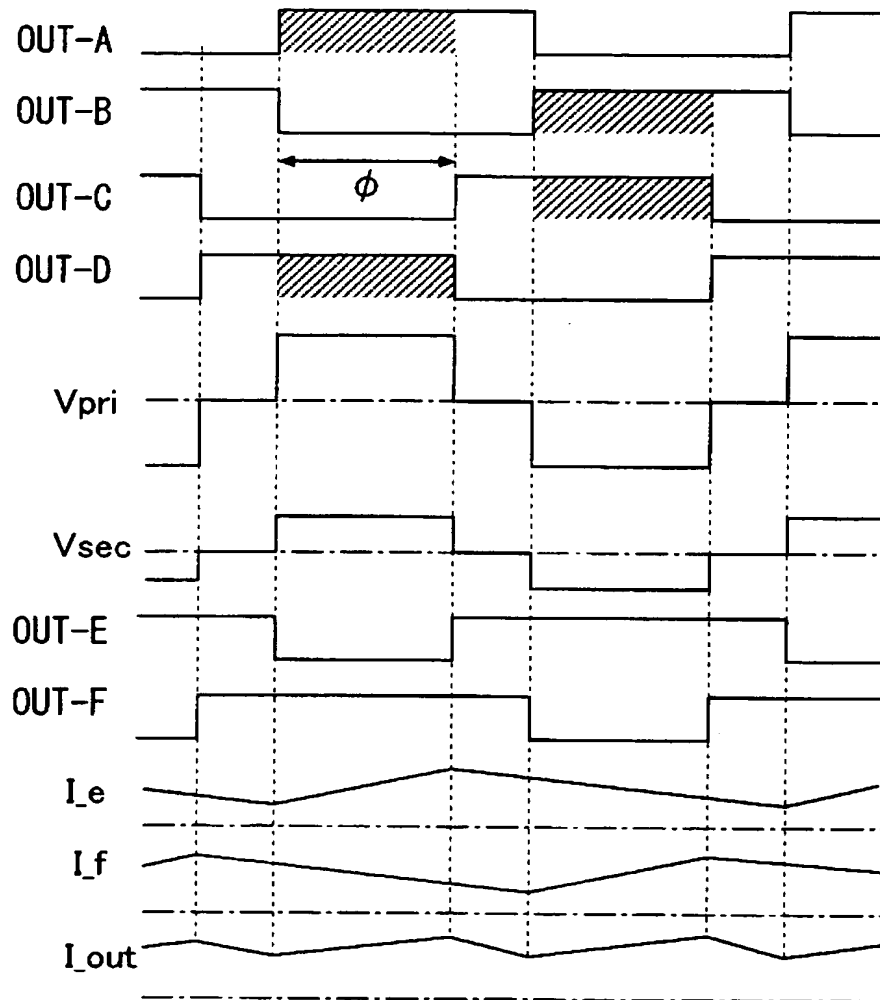
【図 16】



【図 17】



【図 18】



【書類名】 要約書

【要約】

【課題】 2 次側に同期整流回路を備えた D C - D C コンバータの 2 次側の整流回路における損失を低減するとともに、1 次側にフルブリッジ方式のスイッチング回路を備えた D C - D C コンバータの 1 次側スイッチング回路における損失を低減する。

【解決手段】 電圧変換用トランス (T S 1) を有し 2 次側に同期整流回路 (2 0) を、また 1 次側にフルブリッジ方式のスイッチング回路 (1 0) を備え、2 次側コイルに流れる電流の経路をスイッチ・トランジスタ (M 5, M 6) により 1 次側のスイッチング動作に同期して切り替える同期整流制御を行なう D C - D C コンバータにおいて、2 次側の負荷に流れる電流もしくは該負荷電流に連動して変化する 1 次側の電流や 1 次側の入力電圧を検出して 2 次側の同期整流用トランジスタのオフ・タイミングを動的に制御するとともに、1 次側の入力電圧と 2 次側の負荷に流れる電流を検出して 1 次側のスイッチング回路のトランジスタのオン・タイミングを動的に制御するように構成した。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 2 8 1 7
受付番号	5 0 3 0 0 0 2 2 4 8 6
書類名	特許願
担当官	第三担当上席 0 0 9 2
作成日	平成 1 5 年 1 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成15年 1月 9日

次頁無

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2003- 2817

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【提出物件の目録】

【包括委任状番号】 0308733

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 3 - 1 0 8 7 1 2 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 0 2 8 1 7
受付番号	5 0 3 0 1 2 3 2 4 4 9
書類名	出願人名義変更届（一般承継）
担当官	角田 芳生 1 9 1 8
作成日	平成 1 5 年 9 月 1 6 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 7 月 25 日

特願 2 0 0 3 - 0 0 2 8 1 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1 . 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 0 0 2 8 1 7

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

2 0 0 3 年 4 月 1 日
新規登録

住 所
氏 名

東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ